

## Capitolo 5

# I transistor *mosfet* e *jfet*

### 5.1 Struttura del transistor *mosfet*

La sigla *mosfet* è un acronimo per *Metal-Oxide-Semiconductor Field-Effect-Transistor* (transistor ad effetto di campo di tipo metallo-ossido-semiconduttore). Il cuore del dispositivo è costituito dal condensatore *mos*, illustrato in fig. 5.1: una delle due armature del condensatore è formata da un *substrato* di semiconduttore drogato, nell'esempio Silicio di tipo *P*; l'altra armatura, detta *gate*, è formata da uno strato metallico, ad esempio Alluminio depositato per evaporazione sulla superficie del semiconduttore. Prima della deposizione del *gate* la superficie del substrato viene resa

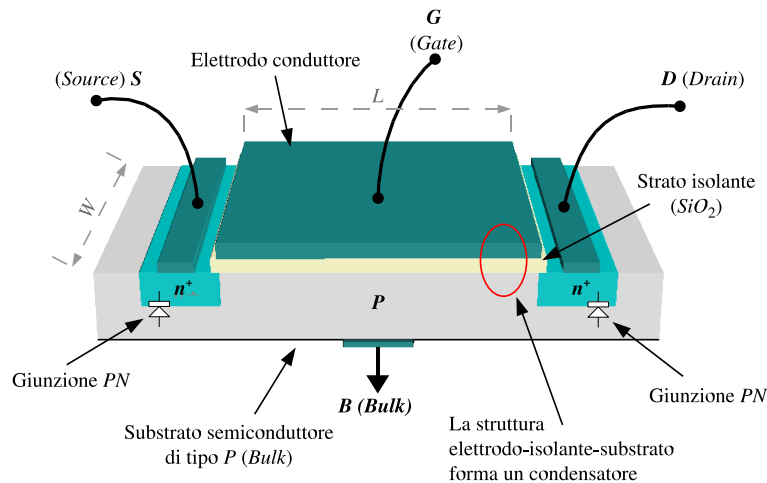


Figura 5.1: Struttura del transistor *mosfet*: il condensatore *mos*.  $L$  e  $W$  sono rispettivamente la lunghezza e la larghezza del condensatore. Le dimensioni del condensatore *mos* vanno dalla frazione di  $\mu\text{m}^2$  per i dispositivi veloci per piccoli segnali fino al  $\text{mm}^2$  per i dispositivi di potenza.

isolante mediante la formazione di uno strato di Ossido di Silicio ( $\text{SiO}_2$ ), con uno spessore dell'ordine dei 100 nm. Su due lati di questa struttura vengono realizzate nel substrato due regioni, dette *source* e *drain* (*sorgente* e *drenaggio*), con drogaggio opposto a quello del substrato (nell'esempio, *N*). Nella figura queste regioni sono

contrassegnate come  $n^+$  per indicare che si tratta di regioni con drogaggio molto forte.

Come nel caso del *bjt*, anche i transistor *mosfet* possono essere realizzati in due versioni con polarità simmetriche, a seconda che si parta da un substrato di tipo *P* o di tipo *N*. Si avranno quindi transistor complementari di tipo *nmos* e di tipo *pmos* (figura 5.2).

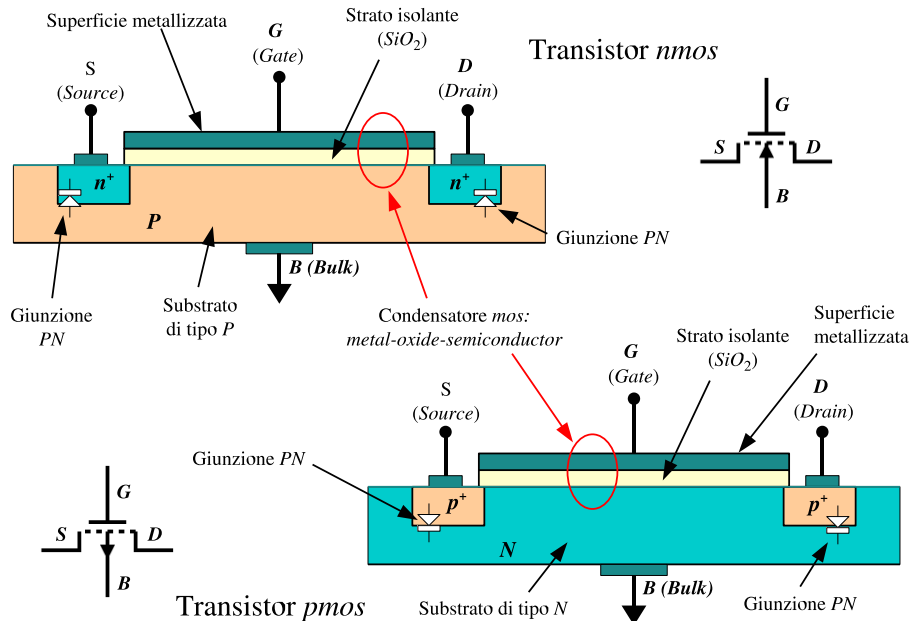


Figura 5.2: Transistor complementari *nmos* (in alto) e *pmos* (in basso) insieme con i simboli con cui sono rappresentati negli schemi elettrici.

In condizioni operative normali le due giunzioni *P-N* presenti fra le due regioni di *source* e *drain* ed il substrato devono essere contropolarizzate: per un transistor *nmos* il substrato dovrà essere collegato ad un potenziale più negativo (o, quantomeno, non più positivo) di quello di *source* e *drain*, per un transistor *pmos* ad un potenziale più positivo. La presenza delle due giunzioni contropolarizzate contrapposte (rappresentate da diodi in fig. 5.2), rende impossibile il passaggio di carica tra *source* e *drain*. Applicando una tensione di polarizzazione di polarità e valore opportuni al *gate* è possibile arrivare alla formazione di un *canale* di conduzione costituito da una sottile lamina di cariche mobili in corrispondenza della superficie di separazione tra substrato e *gate*. Il canale di conduzione, le cui caratteristiche sono modulate dalla tensione di *gate*, rende possibile il fluire di una corrente tra *source* e *drain*.

## 5.2 Canale di conduzione

Applicando una differenza di potenziale tra *gate* e substrato di un transistor *mosfet* si modifica lo stato di carica del condensatore *mos*.

Nel caso di un transistor *nmos*, si hanno le situazioni schematizzate in fig. 5.3. In 5.3a il *gate* si trova ad un potenziale più negativo del substrato, di tipo *P*. I portatori

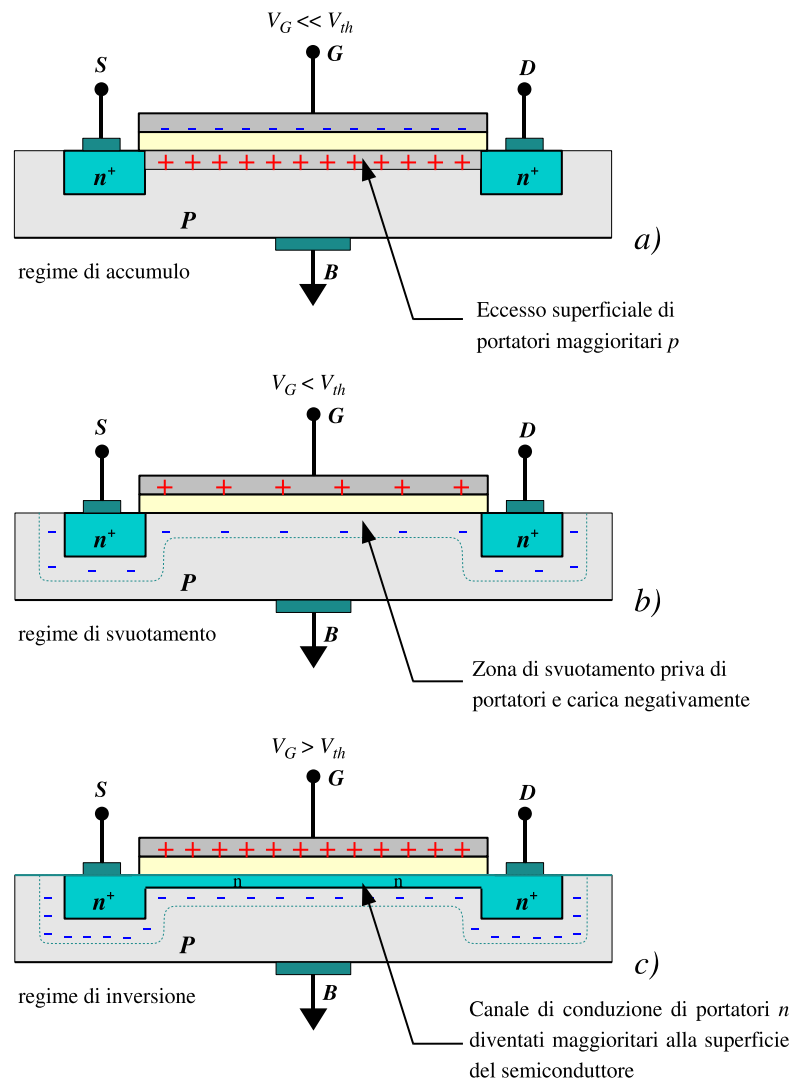


Figura 5.3: Formazione del canale di conduzione in un transistor *nmos*.

di carica positivi, maggioritari, vengono attratti verso il *gate* negativo e si accumulano alla superficie, in maniera molto simile a quanto succede in un normale condensatore piano. In questa condizione, detta di *accumulo*, i portatori di carica presenti tra *source* e *drain* non possono dare luogo ad alcuna conduzione, a causa della presenza delle due giunzioni contropolarizzate tra *source* e *drain* e substrato. Portando il potenziale del *gate* verso valori più positivi, la carica del condensatore *mos* diminuisce, riducendosi a zero e successivamente invertendosi di segno, diventando quindi positiva sulla superficie del *gate* e negativa sulla superficie del substrato (fig. 5.3b). È da notare che la condizione di carica zero del condensatore non coincide con la condizione di differenza di potenziale nulla tra i terminali di *gate* e substrato principalmente a causa della presenza dei potenziali di contatto tra i diversi materiali della intera catena elettrodica. La zona di carica negativa presente alla superficie del substrato in fig. 5.3b corrisponde ad una zona di svuotamento: i portatori positivi maggioritari

del substrato, respinti dal campo elettrico, lasciano una zona scoperta di cariche negative nel reticolo cristallino. Non essendoci portatori di carica in questa zona, non vi può essere conduzione tra *source* e *drain*.

Portando il potenziale del *gate* verso valori ancora più positivi, si verifica il fenomeno della *inversione* della polarità del semiconduttore in prossimità del *gate* e della formazione di un *canale di conduzione*: all'aumentare del potenziale del *gate*, diminuisce sempre di più la concentrazione dei portatori positivi maggioritari, mentre aumenta quella dei portatori negativi, richiamati dal campo elettrico, originariamente minoritari nel substrato. Per un valore della tensione di *gate*  $V_G$  sufficientemente elevato ( $V_G \geq V_{th}$ , con  $V_{th}$  detta *tensione di soglia* [*threshold*]), la concentrazione dei portatori  $n$  supera quella dei portatori  $p$ , per cui il semiconduttore si trova ad avere localmente le concentrazioni *invertite* e diventa di tipo  $N$ . La presenza di questa sottile lamina di semiconduttore di tipo  $N$  sotto la superficie del *gate* dà luogo ad un'unica regione che interconnette *source* e *drain*, senza più zone di svuotamento e giunzioni contropolarizzate: si è formato il *canale di conduzione* che rende possibile il passaggio di cariche tra *source* e *drain* (fig. 5.3c).

### 5.3 Conduttanza del canale

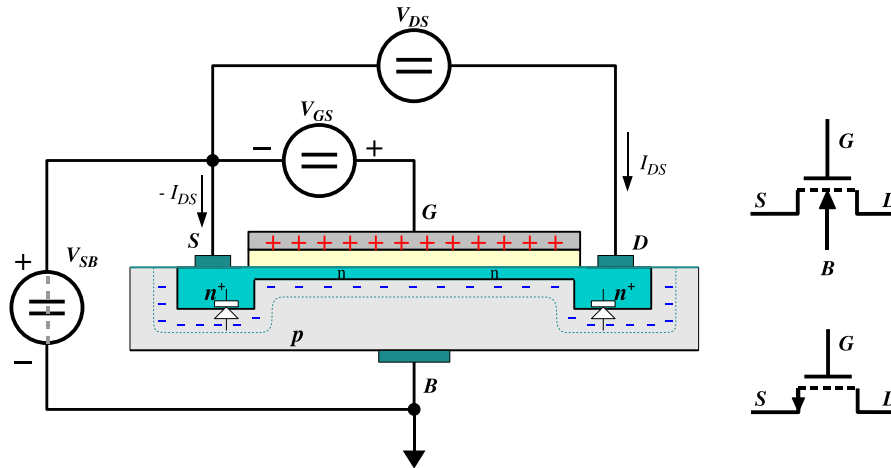


Figura 5.4: Polarizzazione di un transistor *nmos*. A destra sono riportati i simboli utilizzati per rappresentare il transistor *nmos* nei circuiti.

In fig. 5.4 sono riportate le condizioni di polarizzazione di un transistor *nmos*. Il generatore  $V_{SB}$  garantisce la condizione di contropolarizzazione della giunzione *source*-substrato. Il generatore  $V_{GS}$  polarizza positivamente il *gate*, in modo da garantire la formazione del canale; il generatore  $V_{DS}$  polarizza il *drain* rispetto al *source* e fornisce la corrente  $I_{DS}$ , la cui circolazione è resa possibile e modulata dalla presenza del canale. La polarità del generatore  $V_{DS}$  non è indicata nella figura. A differenza del *bjt*, dove emettitore e collettore sono due elettrodi con caratteristiche costruttive asimmetriche, il *drain* ed il *source* del *mosfet* sono simmetrici e di principio intercambiabili. Nella situazione riportata in fig. 5.4 il *drain* può essere sia positivo

sia negativo rispetto al *source*, purchè sia rispettata la condizione  $V_{SB} + V_{DS} > 0$  per garantire la contropolarizzazione della giunzione *drain*-substrato. Per valori di  $V_{DS}$  piccoli (secondo il criterio che si vedrà al paragrafo successivo) il canale ha un comportamento di tipo ohmico (fig. 5.5) con conduttanza

$$G_C = \mu_n Q_n W/L \quad (5.1)$$

dove  $\mu_n$  è la mobilità dei portatori di carica (negativi) presenti nel canale,  $W$  ed

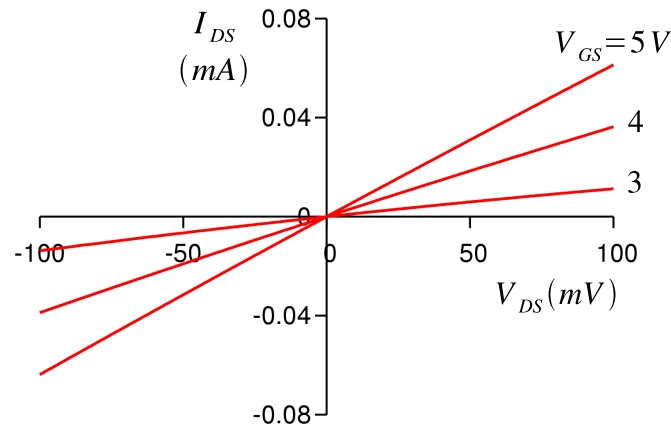


Figura 5.5: Relazione lineare tra tensione  $V_{DS}$  e corrente  $I_{DS}$  in un transistor *nmos* nell'intorno di  $V_{DS} = 0$ . La pendenza  $I_{DS}/V_{DS}$  è la conduttanza  $G_C$  del canale.

$L$  sono larghezza e lunghezza del canale e  $Q_n$  è la densità superficiale di carica dei portatori, funzione del potenziale di polarizzazione  $V_{GS}$ .

Indicando con  $V_{th}$  la tensione di soglia a cui si comincia ad accumulare la carica nel canale e considerando che il sistema ha la geometria di un condensatore piano con dielettrico di spessore  $d$  e costante dielettrica  $\epsilon$ , si ha

$$Q_n = \frac{V_{GS} - V_{th}}{d} \epsilon \quad (5.2)$$

In pratica, non è strettamente necessario che le giunzioni *source*-substrato e *drain*-substrato siano realmente contropolarizzate: è sufficiente che non siano direttamente polarizzate. Si può quindi porre  $V_{SB} = 0$ , sostituendo il generatore tra *source* e substrato con il cortocircuito rappresentato a tratteggio in fig. 5.4. In questo caso però si perde la simmetria tra *source* e *drain*: si dovrà avere necessariamente  $V_{DS} \geq 0$  e di conseguenza  $I_{DS} \geq 0$ . Dei due possibili quadranti operativi riportati in fig. 5.5 rimarrà accessibile solo quello superiore destro.

In fig. 5.4, in basso a destra, è riportata una variante del simbolo circuitale del transistor *nmos* utilizzata per rappresentare i dispositivi in cui *source* e substrato siano stati connessi internamente dal costruttore e non siano separatamente accessibili dall'esterno. Per il transistor *pmos* il verso della freccia del *source* è rovesciato.

## 5.4 Modulazione del canale

Applicando una tensione  $V_{DS}$  tra *drain* e *source* il potenziale lungo il canale non è più costante, ma viene a dipendere dalla posizione  $x$  tra *source* ( $x = 0$ ) e *drain* ( $x = x_D$ ). L'equazione 5.2 dovrà essere modificata per tenere conto di questo effetto:

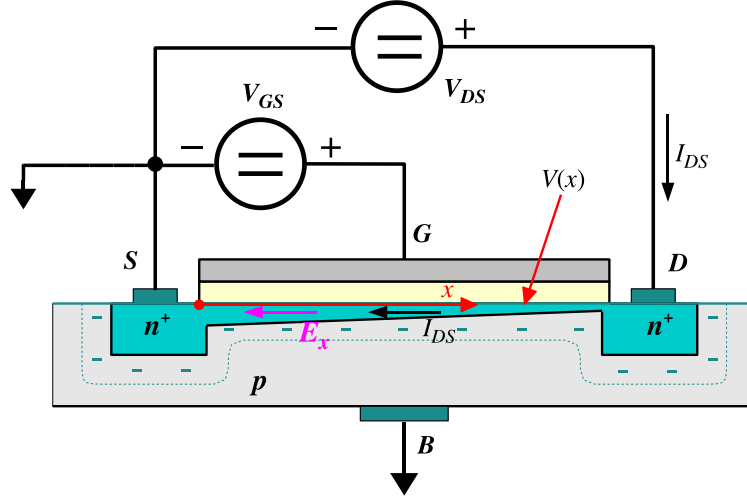


Figura 5.6: Modulazione della consistenza del canale in funzione della posizione tra *drain* e *source*.

$$Q_n(x) = C [V_{GS} - V_{th} - V(x)] \quad (5.3)$$

dove  $V(x)$  è il potenziale elettrico lungo il canale, misurato rispetto al *source* e  $C = \epsilon/d$  la capacità per unità di superficie tra *gate* e substrato (fig. 5.6). L'equazione 5.1 continua ad essere valida localmente, in ogni punto del canale. In presenza di un campo elettrico  $E_x$  diretto da *drain* a *source*, la densità superficiale di corrente è:

$$j_x = \mu_n Q_n(x) E_x \quad (5.4)$$

Poichè il canale è omogeneo lungo la direzione  $y$  ortogonale al piano del disegno in fig. 5.6, la corrente totale si può ottenere moltiplicando per la larghezza  $W$  del canale:

$$I_{DS} = -\mu_n Q_n(x) W E_x \quad (5.5)$$

(per le convenzioni adottate, la corrente  $I_{DS}$  ed il campo  $E_x$  hanno direzioni positive opposte).

Il valore di  $I_{DS}$  non dipende dalla coordinata  $x$  in quanto le cariche possono fluire lungo il canale solo tra *drain* e *source*: la corrente verso il *gate* è nulla a causa dello strato isolante di  $SiO_2$  e la corrente verso il substrato consiste solo nella debolissima corrente di saturazione inversa delle giunzioni  $PN$ , di fatto trascurabile.

Sostituendo la eq. 5.3 nella 5.5

$$I_{DS} = -\mu_n C [V_{GS} - V_{th} - V(x)] W E_x \quad (5.6)$$

integrando sulla lunghezza del canale

$$\int_0^{x_D} I_{DS} dx = \mu_n C W \int_0^{x_D} [V_{GS} - V_{th} - V(x)] \frac{dV}{dx} dx \quad (5.7)$$

e considerando che  $I_{DS}$  è costante e  $V(x_D) = V_{DS}$ , si ottiene:

$$I_{DS} \cdot L = \mu_n C W \left( V_{GS} - V_{th} - \frac{V_{DS}}{2} \right) V_{DS} \quad (5.8)$$

da cui

$$I_{DS} = K_n \left( V_{GS} - V_{th} - \frac{V_{DS}}{2} \right) V_{DS} \quad (5.9)$$

con  $K_n = \mu_n C W/L$ .

## 5.5 Pinch-off

Aumentando la tensione  $V_{DS}$  fino al valore  $V_{DS} = V_{GS} - V_{th}$  si ha, in base alla eq. 5.3,

$$Q_n(x_D) = C (V_{GS} - V_{th} - V_{DS}) = 0 \quad (5.10)$$

La consistenza del canale, data dalla densità superficiale  $Q_n(x)$  dei portatori di carica, si assottiglia progressivamente muovendosi dal *source* verso il *drain*, fino ad annullarsi del tutto in corrispondenza del *drain*. Questa è la condizione di *pinch-off* (*strozzamento*) del canale (fig. 5.7). Sostituendo nella eq. 5.9 la condizione di *pinch-off* data

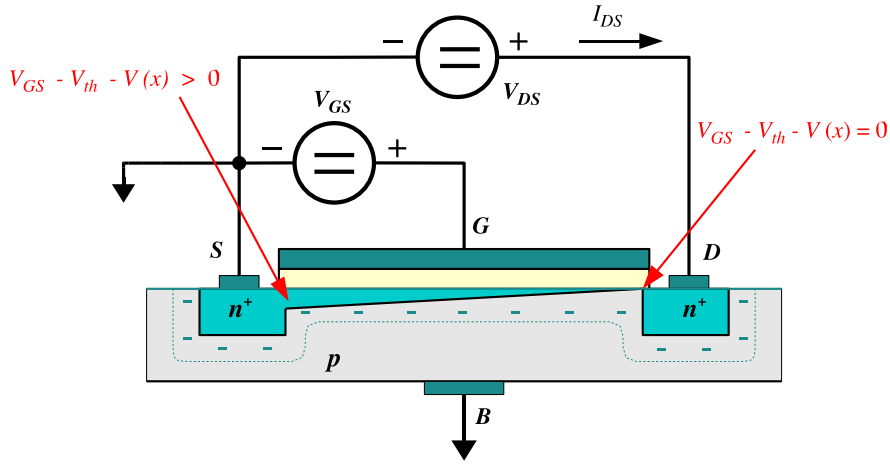


Figura 5.7: Condizione di *pinch-off*: strozzamento del canale di conduzione.

dalla 5.10 si ottiene per la corrente:

$$I_{DS} = \frac{K_n}{2} \cdot (V_{GS} - V_{th})^2 \quad (5.11)$$

Aumentando ulteriormente la tensione  $V_{DS}$  l'equazione 5.9 cessa di essere valida ed il transistor entra in regime di *saturatione*. La corrente  $I_{DS}$  tende ad aumentare solo

molto lentamente, con una dipendenza approssimativamente lineare con la tensione:

$$I_{DS} = \frac{K_n}{2} \cdot (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (5.12)$$

Il coefficiente  $\lambda$  è l'analogo del *coefficiente di Early* ( $1/V_A$ ) del *bjt*.

## 5.6 Curve caratteristiche per il transistor *nmos*

La famiglia di curve di  $I_{DS}$  in funzione di  $V_{DS}$  e  $V_{GS}$  riportata in fig. 5.8 riassume il funzionamento del transistor *nmos*.

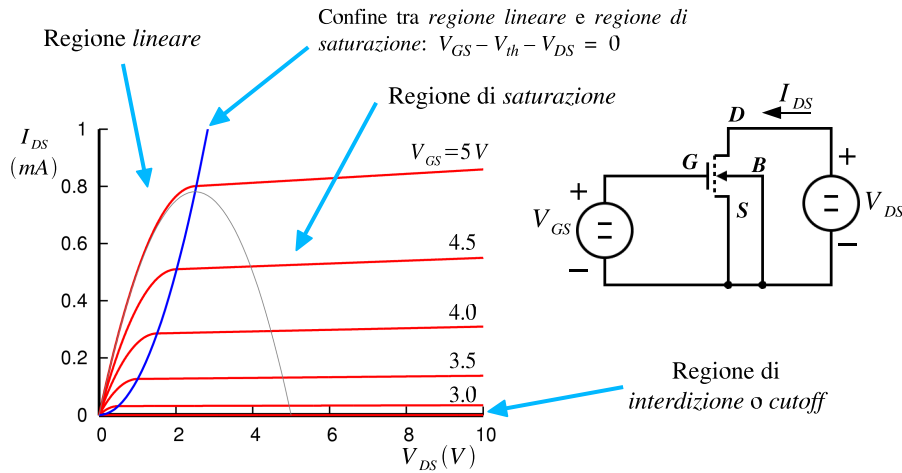


Figura 5.8: Famiglia di curve caratteristiche per un transistor *nmos* ( $K_n = 0.25 \text{ mA/V}^2$ ,  $V_{th} = 2.5 \text{ V}$ ,  $\lambda = 0.01 \text{ V}^{-1}$ ).

La *regione lineare* corrisponde alla condizione  $V_{GS} - V_{th} > V_{DS}$ , descritta dalla equazione 5.9; per valori di tensione  $V_{DS}$  molto piccoli rispetto a  $V_{GS} - V_{th}$  il termine  $V_{DS}/2$  in parentesi risulta trascurabile ed il comportamento si avvicina strettamente a quello ohmico riportato in fig. 5.5. Nel transistor *bjt* la regione analoga alla regione lineare del *mosfet* è la *regione di saturazione*.

La *regione di saturazione* per il *mosfet*, la cui analoga per il *bjt* è la *regione attiva*, è descritta dalla eq. 5.11 o dalla 5.12. Il confine tra le due regioni è rappresentato dalla parabola  $I_{DS} = V_{DS}^2 \cdot K_n/2$  (linea blu in figura).

La terza regione, di *interdizione* o *cutoff*, corrisponde a  $V_{GS} < V_{th}$ , quindi alla condizione di transistor spento ( $I_{DS} = 0$ ). È di interesse principalmente in elettronica digitale, quando il transistor viene utilizzato come interruttore tra i due stati acceso (regione lineare o saturazione) / spento (interdizione).

Nella figura è riportato anche il circuito di misura per il rilievo delle curve caratteristiche. Il transistor è utilizzato con il *source* in comune tra il circuito di ingresso e quella di uscita (configurazione *common source*).

In fig. 5.9 sono riportate le caratteristiche per lo stesso transistor di fig. 5.8, utilizzando  $V_{GS}$  come variabile indipendente e  $V_{DS}$  come parametro. Sono distinguibili la *regione di interdizione* ( $V_{GS} < V_{th}$ ) e la regione di saturazione ( $V_{GS} > V_{th}$ ), con la crescita parabolica della corrente in funzione di  $V_{GS}$ .



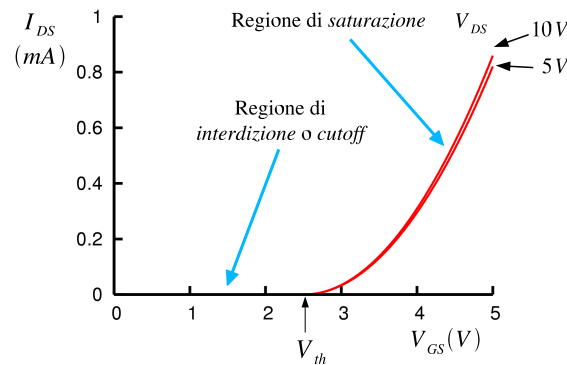


Figura 5.9: Curve  $I_{DS}(V_{GS})$  per diversi valori di  $V_{DS}$  (stesso transistor di fig. 5.8).

La regione lineare, corrispondente a valori molto piccoli di  $V_{DS}$ , non è riportata.

### 5.7 Il transistor *pmos* - *mosfet complementari*

Tutto quanto detto ai paragrafi precedenti per il transistor *mosfet* a canale *n* vale identicamente per il *mosfet* a canale *p*, invertendo le polarità di tutte le tensioni e correnti (fig. 5.10). Transistor *mosfet* che hanno le medesime caratteristiche ( $|V_{th}|$ ,  $K_n$ ,  $|\lambda|$ ) ma opposta polarità del canale sono denominati *complementari* o *cmos*.

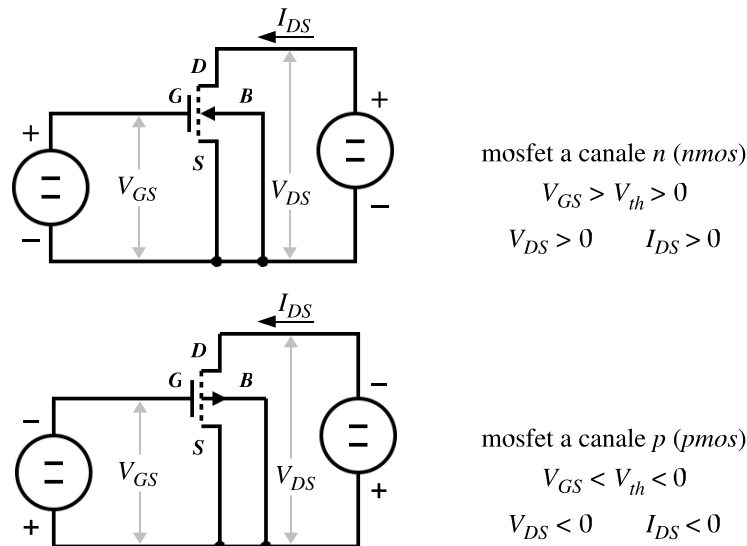


Figura 5.10: Transistor *mosfet* complementari.

### 5.8 Transistor *mosfet* di tipo *enhancement* e *depletion*

Nei transistor *mosfet* descritti nei paragrafi precedenti si ha la formazione del canale e quindi la conduzione tra *drain* e *source* solo in presenza di una tensione di polariz-

zazione tra *gate* e *source* sufficientemente elevata ( $V_{GS} > V_{th}$  per l'*nmos* e  $V_{GS} < V_{th}$  per il *pmos*). Questi *mosfet* sono detti di tipo *enhancement*: ad arricchimento. È possibile realizzare anche transistor *mosfet* in cui si *impianta* un canale di conduzione tra *source* e *drain* già durante il processo di fabbricazione, mediante la formazione con drogaggi opportuni di lamine di portatori di carica alla superficie tra substrato e *gate*. In questi transistor l'effetto della tensione di polarizzazione del *gate* è di aumentare la conduzione già presente nel canale, oppure di diminuirla fino ad azzerarla completamente, a seconda della polarità della tensione applicata. Questi dispositivi sono detti di tipo *depletion*: ad impoverimento.

In fig. 5.11 sono riportate a confronto le curve  $I_{DS}(V_{GS})$  per un *mosfet* a canale *n* di tipo *enhancement* (curve rosse) ed uno di tipo *depletion* (curve blu). Le relazioni

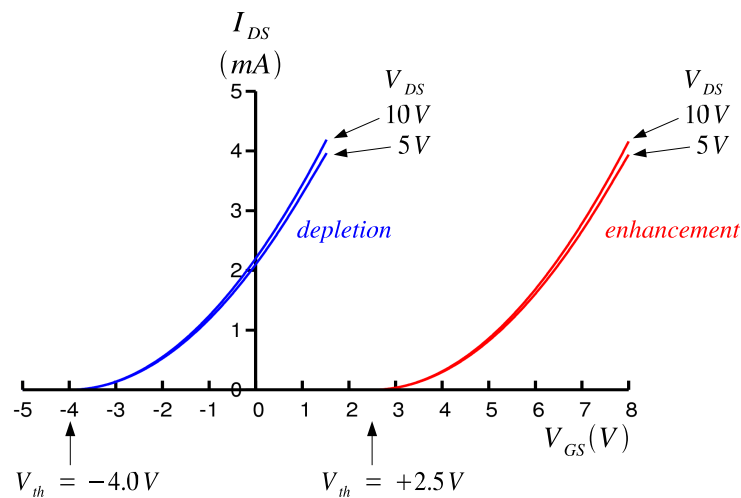


Figura 5.11: Curve  $I_{DS}(V_{GS})$  per un *mosfet* di tipo *enhancement* (curve rosse) e di tipo *depletion* (curve blu) aventi eguali valori di  $K_n$  e  $|\lambda|$ .

funzionali per i due tipi di *mosfet* sono esattamente le stesse; unica differenza è che le curve del *mosfet* di tipo *depletion* sono traslate a sinistra sull'asse delle tensioni  $V_{GS}$  rispetto alle curve del tipo *enhancement*. In un caso a  $V_{GS} = 0$  si ha corrente  $I_{DS}$  nulla; nell'altro caso si ha una corrente finita che può essere variata in aumento o in diminuzione dalla tensione del *gate*.

Negli schemi elettrici i transistor di tipo *depletion* sono rappresentati con un simbolo simile a quello dei transistor *enhancement*. La sola differenza è il segmento che connette *source* e *drain* e rappresenta il canale: nel primo caso è continuo, nel secondo è tratteggiato (fig. 5.13).

## 5.9 Struttura del transistor *jfet*

La sigla *jfet* è un acronimo per *junction field effect transistor* (transistor a giunzione ad effetto di campo).

Il transistor *jfet* mostra forti analogie con il transistor *mosfet* per quanto riguarda le caratteristiche elettriche, anche se il principio di funzionamento è alquanto diverso. Anche nel *jfet* abbiamo una tensione di polarizzazione ad un elettrodo *gate* ( $G$ ) che

modula la conduzione di un *canale* che connette un elettrodo *source* ( $S$ ) ad un *drain* ( $D$ ) (fig. 5.12). Il gate però non è elettricamente isolato dal canale come nel mosfet, ma forma con questo una giunzione  $P$ - $N$ . In condizioni operative normali questa giunzione è contropolarizzata per cui anche qui si ha  $I_G = 0$  (a meno della corrente di saturazione inversa della giunzione).

A differenza di quanto avviene nel mosfet, la conduzione non viene modificata mediante un arricchimento od un impoverimento della concentrazione dei portatori nel canale, ma piuttosto variandone la sezione: una variazione della tensione di contropolarizzazione della giunzione gate-canale fa variare le dimensioni della regione di svuotamento. Normalmente il drogaggio della regione di gate ( $p^+$  in figura) è molto più forte di quello del canale ( $n$ ), per cui una estensione o riduzione della zona di svuotamento avviene principalmente a spese od a vantaggio di quest'ultima regione.

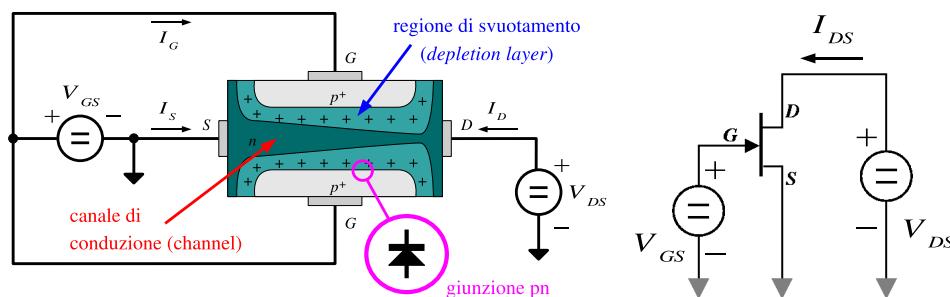


Figura 5.12: Schema di principio (in sezione) di un transistor jfet di tipo  $n$ . Il canale è costituito da semiconduttore  $N$ ; il gate da una o due regioni ad alto drogaggio di semiconduttore  $P$ , che forma giunzioni  $P$ - $N$  con il canale. A destra è riportato il simbolo per il jfet a canale  $n$  con l'indicazione delle polarizzazioni nelle condizioni operative normali. Per il jfet a canale  $p$  tutte le tensioni hanno polarità opposta ed il verso della freccia in corrispondenza del gate è rovesciato.

Lo schema di principio del transistor jfet è riportato in fig. 5.12. La regione del canale è drogata  $N$ ; si tratta quindi di un jfet di tipo  $n$  o a canale  $n$ . Simmetricamente si possono realizzare jfet a canale  $p$ , invertendo la polarità dei drogaggi.

Anche nel jfet come nel mosfet la consistenza del canale varia in funzione della posizione tra drain e source per effetto della distribuzione della tensione  $V_{DS}$  lungo il canale. Anche in questo caso si ha il fenomeno della strozzatura del canale (pinch-off) per valori di  $V_{GS}$  sufficientemente negativi o per valori di  $V_{DS}$  sufficientemente positivi (per il jfet di tipo  $n$ ).

## 5.10 Modulazione della corrente di canale nel transistor jfet

L'analisi del trasporto della carica attraverso il canale di un jfet porta alle stesse equazioni che sono state trovate nel caso del mosfet (eq. 5.9, 5.11 e 5.12, par. 5.4 e 5.5), con alcune differenze nei simboli, dovute alla tradizione.

La tensione di gate per la quale la corrente del canale si riduce a zero (strozzamento del canale) prende il nome di tensione di *pinch-off* ( $V_P$ ) ed è l'analogo della tensione di soglia  $V_{th}$  del mosfet.

Facendo riferimento ad un jfet a canale  $n$  come quello riportato in fig. 5.12, con  $V_{GS} - V_P \geq V_{DS} \geq 0$  il dispositivo si trova nella *regione lineare* e vale la relazione:

$$I_{DS} = \frac{2 I_{DSS}}{V_P^2} \left( V_{GS} - V_P - \frac{1}{2} V_{DS} \right) V_{DS} \quad (5.13)$$

Il termine  $2 I_{DSS}/V_P^2$  è l'analogo del coefficiente  $K_n$  della eq. 5.9.

Con  $V_{DS} > V_{GS} - V_P$  il dispositivo si trova nella *regione di saturazione* e vale la relazione:

$$I_{DS} = I_{DSS} \left( 1 - \frac{V_{GS}}{V_P} \right)^2 \quad (5.14)$$

analoga alla 5.11 oppure, tenendo conto anche dell'effetto Early,

$$I_{DS} = I_{DSS} \left( 1 - \frac{V_{GS}}{V_P} \right)^2 (1 + \lambda V_{DS}) \quad (5.15)$$

analoga alla 5.12.

Dalle ultime due relazioni si vede che la quantità  $I_{DSS}$  rappresenta la corrente  $I_{DS}$  nel canale in condizioni di saturazione con tensione di gate  $V_{GS} = 0$ , trascurando l'effetto Early.

Le curve riportate in fig. 5.8 per il transistor nmos sono quindi egualmente valide per il jfet a canale  $n$ , con gli opportuni valori per la tensione di gate  $V_{GS}$ . Infatti, delle due famiglie di curve in fig. 5.11, quelle appropriate al transistor jfet sono quelle di sinistra, relative al mosfet di tipo depletion: nel jfet alla tensione di gate  $V_{GS} = 0$  il canale ha il massimo della consistenza e la corrente  $I_{DS}$  ha il valore massimo. L'applicazione di una tensione  $V_{GS}$  via via più negativa riduce la dimensione del canale e quindi il valore di  $I_{DS}$ , fino ad arrivare ad azzerare la conduzione per  $V_{GS} = V_P$ . Il valore di  $V_P$  è sempre negativo per jfet a canale  $n$  e positivo per jfet a canale  $p$ . A differenza del mosfet, in condizioni operative normali la tensione  $V_{GS}$  dovrà essere sempre compresa tra  $V_P$  e 0 e non potrà andare oltre lo zero, dovendo mantenere la condizione di contropolarizzazione della giunzione tra gate e canale.

## 5.11 Varietà di transistor ad effetto di campo

Riassumendo, si possono avere transistor mosfet a canale  $n$  ed a canale  $p$ , ciascuno dei quali può essere di tipo *enhancement* o di tipo *depletion*. Ognuno di questi può avere il substrato collegato o non collegato costruttivamente al *source*.

Inoltre si possono avere transistor jfet a canale  $n$  ed a canale  $p$ .

In fig. 5.13 sono riportati i simboli con cui viene rappresentata negli schemi elettrici tutta questa varietà di dispositivi.

## 5.12 Circuiti con transistor ad effetto di campo

### 5.12.1 Amplificatore *common source*

Due esempi di amplificatori *common source* realizzati con un transistor ad effetto di campo (*fet*) sono riportati in fig. 5.14. Il primo (fig. 5.14a) impiega un *nmos* di tipo

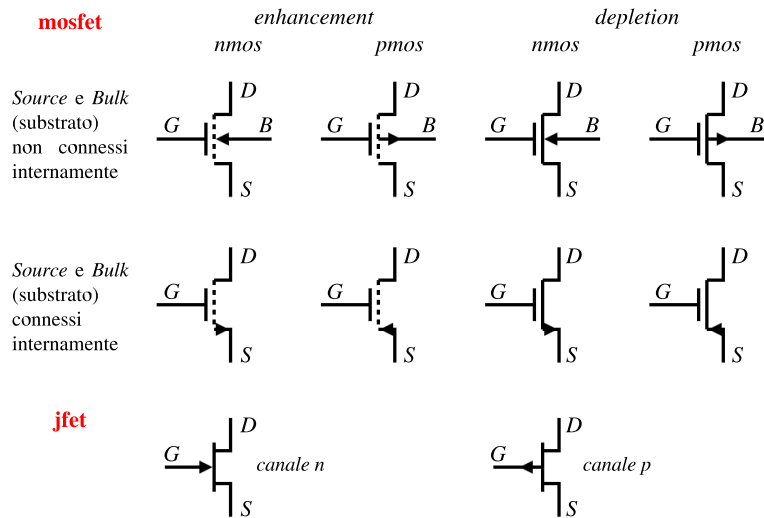


Figura 5.13: Simboli utilizzati per rappresentare negli schemi elettrici le diverse varietà di transistor ad effetto di campo.

enhancement; il secondo (fig. 5.14b) impiega un jfet a canale *n* o, equivalentemente, un nmos di tipo *depletion*. I circuiti di polarizzazione sono diversi nei due casi. In

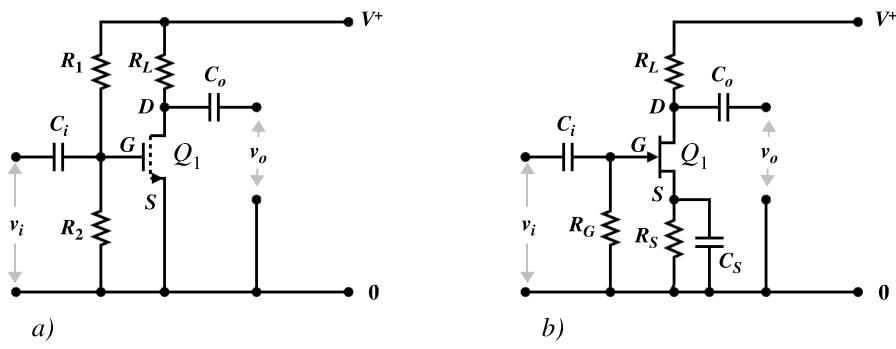


Figura 5.14: Due esempi di amplificatori *common source*. Il primo (a) utilizza un mosfet di tipo *enhancement*; il secondo (b) un jfet (o, in alternativa, un mosfet di tipo *depletion*).

a) si richiede una tensione di *gate* positiva rispetto al *source* e la si ottiene dalla alimentazione  $V^+$  tramite il partitore  $R_1, R_2$ :

$$V_{GS} = \frac{R_2}{R_1 + R_2} \cdot V^+ \tag{5.16}$$

Nel secondo caso la tensione  $V_{GS}$  deve essere negativa: la resistenza  $R_S$  porta il *source* alla tensione  $V_S = I_{DS} \cdot R_S$ , mentre la resistenza  $R_G$  mantiene il *gate* al potenziale  $V_G = 0$ . Di conseguenza  $V_{GS} = -I_{DS} \cdot R_S$ . Questo schema di polarizzazione è identico a quello che è stato in uso per buona parte del secolo scorso per la polarizzazione dei tubi a vuoto (triodi, pentodi ecc.) utilizzati come amplificatori.

Anche in questi circuiti, come già visto per il transistor *bjt*, i condensatori  $C_i$  e  $C_o$  isolano lo stadio amplificatore dagli altri circuiti per quanto riguarda le tensioni continue di polarizzazione, consentendo il solo passaggio dei segnali in corrente alternata. Il condensatore  $C_S$  in 5.14b cortocircuita la resistenza  $R_S$  per quanto riguarda i segnali, eliminando la reazione negativa che verrebbe altrimenti introdotta.

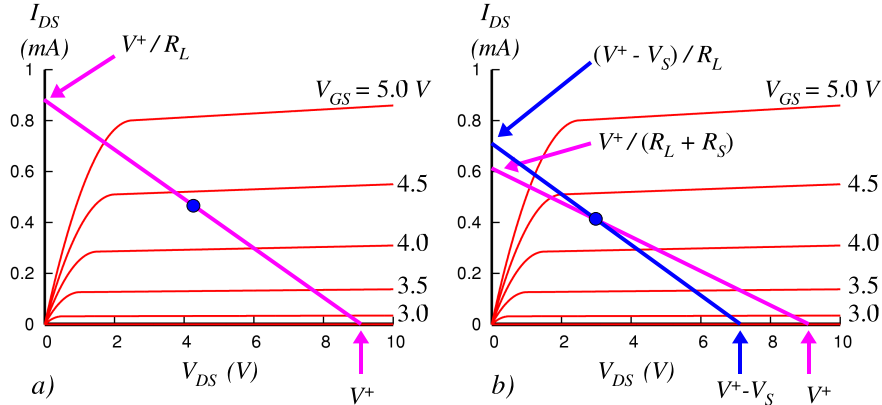


Figura 5.15: Curve caratteristiche e retta di carico per i due circuiti di fig. 5.14. Per il circuito *b* si hanno due rette di carico: una statica (in colore magenta), corrispondente al comportamento in corrente continua, ed una dinamica (in blu) che descrive il comportamento del circuito per quanto riguarda i segnali.

Come per gli altri casi, il funzionamento del circuito può essere studiato riportando sul grafico delle curve caratteristiche la retta di carico di equazione  $I_{DS} = (V^+ - V_{DS})/R_L$  ed esaminando lo spostamento del punto di lavoro al variare di  $v_{GS} = V_{GS} + v_{gs}$  e le conseguenti variazioni di  $v_{DS}$  (fig. 5.15) oppure risolvendo per via numerica le equazioni del circuito.

Nel caso del circuito di fig. 5.14b si ha una retta di carico *statica*, corrispondente al comportamento del circuito in corrente continua, cioè in pratica ignorando la presenza di  $C_S$  (retta di carico in magenta in fig. 5.15b), ed una retta *dinamica* (in blu) per i segnali con frequenze per cui  $C_S$  corrisponde ad un corto circuito: per segnali veloci  $v_S$  rimane fermo al valore  $V_S$  per effetto della presenza del condensatore  $C_S$  e  $v_D$  può variare nell'intervallo tra  $V_S$  e  $V^+$ ; di conseguenza  $v_{DS}$  varia tra 0 e  $V^+ - V_S$ .

### 5.12.2 Modello per piccoli segnali per i transistor ad effetto di campo

Nel caso di *piccoli segnali* ( $v_{gs} \ll V_{GS}$  e di conseguenza  $v_{ds} \ll V_{DS}$  e  $i_{ds} \ll I_{DS}$ ) è possibile utilizzare un modello lineare del transistor mosfet o jfet ed effettuare i calcoli sul circuito lineare equivalente.

Delle quattro famiglie di parametri riportate al par. 3.4 per la descrizione dei dispositivi lineari a due porte, solo due sono utilizzabili nel caso dei transistor fet nella configurazione *common source*. Poichè la corrente del *gate* è praticamente nulla, almeno in corrente continua ed in bassissima frequenza, non ha molto senso scegliere  $i_1$  come variabile indipendente: in questa configurazione il fet è un dispositivo in cui il parametro di ingresso è essenzialmente una tensione. Si utilizzeranno quindi i

parametri  $g$  o  $m$ , a cui corrispondono i due circuiti lineari in fig. 5.16. In entrambi i

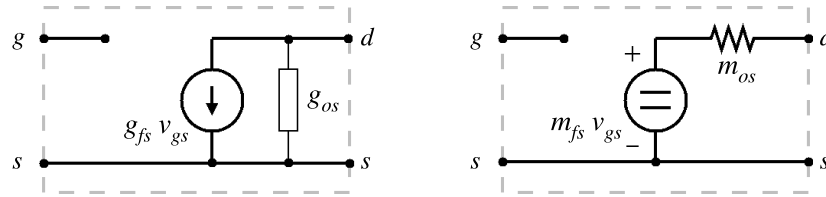


Figura 5.16: Circuiti lineari equivalenti per piccoli segnali per i transistor fet nella configurazione *common source*.

casi i parametri  $i$  ed  $r$  sono stati omessi in quanto di fatto nulli in corrente continua. Nella regione di saturazione, dove viene solitamente posizionato il punto di lavoro del fet come amplificatore, il valore di  $g_{os}$  è molto piccolo, in prima approssimazione zero se si trascura l'effetto della *tensione di Early* e quindi  $m_{os} = \infty$ . Di conseguenza i parametri  $g$  sono i più convenienti e i più comunemente usati nel modello lineare dei fet.

### 5.12.3 I transistor fet in alta frequenza

Il *gate* di un transistor *mosfet* è a tutti gli effetti l'armatura di un condensatore la cui capacità può andare dalla frazione di  $pF$  per un dispositivo per piccoli segnali ed alta frequenza alle centinaia o migliaia di  $pF$  per i dispositivi di potenza. Il circuito lineare di fig. 5.16 dovrà essere modificato, come già è stato fatto per il bjt al par. 4.14, per tenere conto di questi effetti, tanto più importanti quanto più alta è la frequenza di lavoro. Le due capacità  $C_{gs}$  e  $C_{gd}$  in fig. 5.17 rappresentano l'accoppiamento tra

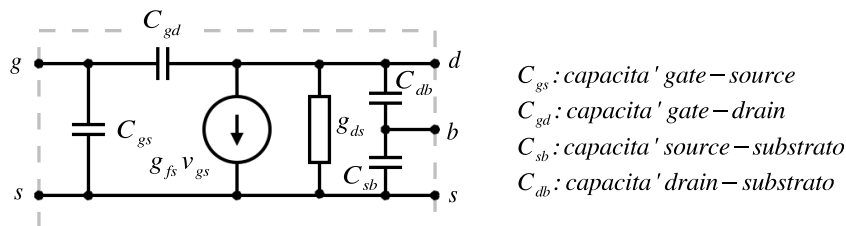


Figura 5.17: Circuito lineare equivalente per il transistor *mosfet* in alta frequenza nella configurazione *common source*.

il *gate* e gli altri due elettrodi; le capacità  $C_{db}$  e  $C_{sb}$  corrispondono alle capacità di transizione delle giunzioni contropolarizzate tra *drain* e *source* e substrato. Nel caso che il substrato sia collegato al *drain*, la capacità  $C_{sb}$  risulta cortocircuitata e quindi ininfluenza sul funzionamento del circuito.

Il circuito equivalente per il jfet in alta frequenza coincide con quello del mosfet con substrato e source collegati insieme (fig. 5.18). Le capacità  $C_{gs}$  e  $C_{gd}$  corrispondono alla capacità di transizione della giunzione gate-canale, rispettivamente dalla parte del source e del drain. La capacità  $C_{ds}$  è essenzialmente una capacità parassita tra i due elettrodi.

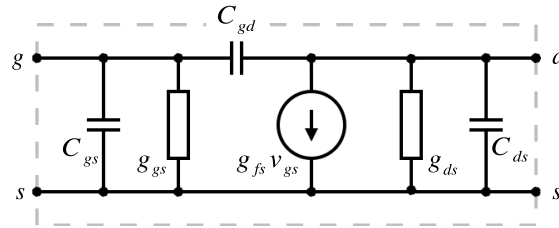


Figura 5.18: Modello lineare di un transistor jfet.

In questo schema è stato inserito anche il parametro di ingresso  $g_{gs}$ , corrispondente alla conduttanza dinamica della giunzione contropolarizzata di gate, che risulta comunque trascurabile, eccetto che nelle applicazioni dove le impedenze in gioco sono estremamente elevate.

Con i transistor ad effetto di campo è possibile realizzare tutte le configurazioni circuitali viste nel caso del bjt, quindi in particolare l'amplificatore differenziale, il current mirror ed il *source follower*, che è l'equivalente dell'emitter follower.

La differenza più appariscente tra le prestazioni di transistor bjt e fet è costituita ovviamente dal parametro di ingresso: i transistor ad effetto di campo hanno impedenza di ingresso praticamente infinita, mentre il bjt presenta tipicamente impedenze di ingresso nel campo dai  $k\Omega$  ai  $M\Omega$ . Questo è il motivo principale per cui oggi gli amplificatori operazionali hanno quasi invariabilmente uno stadio di ingresso che utilizza una coppia differenziale di fet, di solito jfet.

D'altra parte i transistor bjt presentano un altro vantaggio rispetto ai fet: a parità di corrente offrono un parametro  $g_f$ , e quindi un guadagno di tensione, maggiore. Inoltre, allo stato attuale dell'arte, il massimo di stabilità ed il minimo di rumore di tensione si riesce ad ottenerli con i transistor bjt.

In conclusione i transistor fet saranno da preferire in tutte le applicazioni in cui si richiede il massimo di sensibilità in corrente, mentre i bjt daranno risultati migliori nei circuiti in cui la sensibilità in tensione è l'obiettivo principale.